

#2105

(2)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209405

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/115
21/8247
29/788
29/792H 0 1 L 27/10
29/784 3 4
3 7 1

審査請求 未請求 請求項の数13 F D (全 15 頁)

(21) 出願番号 特願平8-357797

(22) 出願日 平成8年(1996)12月30日

(31) 優先権主張番号 特願平8-309738

(32) 優先日 平8(1996)11月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒瀬 謙士朗

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 池田 直史

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

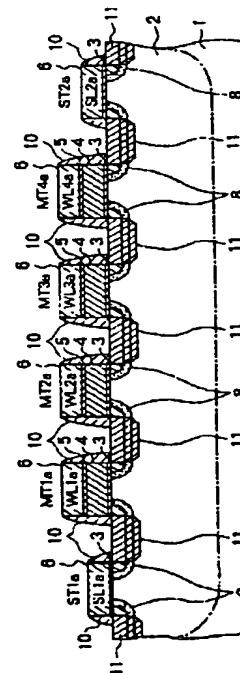
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体不揮発性記憶装置

(57) 【要約】

【課題】セルフブースト動作によりデータプログラムを行え、パンチスルーを防止できメモリアレイの高集積化が可能な半導体不揮発性記憶装置を実現する。

【解決手段】NAND列を構成する選択トランジスタST1a～ST2aおよびメモリトランジスタMT1a～MT4aのソースおよびドレインをなすN型拡散層6に対して、パンチスルー防止のため高濃度のP型不純物によるポケットイオン注入層8を形成し、さらにポケットイオン注入層8によるソースおよびドレイン接合容量の増加を防止するためにポケットイオン注入層8よりも深い位置にソースおよびドレイン拡散層10を形成する。一方メモリアレイが形成されるP型ウェル領域2は低濃度に設定する。したがって、NAND列チャンネル部容量を低減して効率よいセルフブースト動作を実現すると同時に、選択トランジスタおよびメモリトランジスタの短チャンネル化が実現できる。



【特許請求の範囲】

【請求項1】 電氣的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個直列接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、

前記メモリアレイ領域の半導体基板表面上に形成される第1の第1導電型不純物ドーピング領域と、
前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタおよびメモリトランジスタのソースおよびドレイン電極をなす第1の第2導電型不純物ドーピング領域と、
前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタのソースおよびドレイン電極部のみ前記第1の第2導電型不純物ドーピング領域の少なくとも一部を包含するように形成されかつ前記第1の第1導電型不純物ドーピング領域よりも高濃度に形成された第2の第1導電型不純物ドーピング領域とを有する半導体不揮発性記憶装置。

【請求項2】 前記第1導電型はPチャンネル型であり、前記第2導電型はNチャンネル型である請求項1記載の半導体不揮発性記憶装置。

【請求項3】 前記第1の第2導電型不純物ドーピング領域と前記第2の第1導電型不純物ドーピング領域とは二重拡散構造をなす請求項1記載の半導体不揮発性記憶装置。

【請求項4】 電氣的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個直列接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、

前記メモリアレイ領域の半導体基板表面上に形成される第1の第1導電型不純物ドーピング領域と、
前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタおよびメモリトランジスタのソースおよびドレイン電極をなす第1の第2導電型不純物ドーピング領域と、
前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する接地線側の選択トランジスタのソース電極部およびビット線側の選択トランジスタのドレイン電極部のみ前記第1の第2導電型不純物ドーピング領域の少なくとも一部を包含するように形成

されかつ前記第1の第1導電型不純物ドーピング領域よりも高濃度に形成された第2の第1導電型不純物ドーピング領域とを有する半導体不揮発性記憶装置。

【請求項5】 前記第1導電型はPチャンネル型であり、前記第2導電型はNチャンネル型である請求項4記載の半導体不揮発性記憶装置。

【請求項6】 前記第1の第2導電型不純物ドーピング領域と前記第2の第1導電型不純物ドーピング領域とは二重拡散構造をなす請求項4記載の半導体不揮発性記憶装置。

【請求項7】 電氣的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個直列接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、

前記メモリアレイ領域の半導体基板表面上に形成される第1の第1導電型不純物ドーピング領域と、
前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタおよびメモリトランジスタのソースおよびドレイン電極をなす第1の第2導電型不純物ドーピング領域と、
前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記第1の第2導電型不純物ドーピング領域の少なくとも一部を包含するように形成されかつ前記第1の第1導電型不純物ドーピング領域よりも高濃度に形成された第2の第1導電型不純物ドーピング領域と、
前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記第1の第2導電型不純物ドーピング領域の平面パターン形状内に前記第2の第1導電型不純物ドーピング領域よりも深く形成された第2の第2導電型不純物ドーピング領域とを有する半導体不揮発性記憶装置。

【請求項8】 前記第1導電型はPチャンネル型であり、前記第2導電型はNチャンネル型である請求項7記載の半導体不揮発性記憶装置。

【請求項9】 前記第1の第2導電型不純物ドーピング領域と前記第2の第1導電型不純物ドーピング領域とは二重拡散構造をなす請求項7記載の半導体不揮発性記憶装置。

【請求項10】 前記NAND列を構成する選択トランジスタおよびメモリトランジスタのゲート電極側壁部にサイドウォールスペーサー部が形成され、
前記第2のN型不純物ドーピング領域は、隣接するサイドウォールスペーサー部間における半導体基板に形成されている請求項7記載の半導体不揮発性記憶装置。

【請求項11】 ドレイン領域及びソース領域とチャンネル形成領域上に設けられた電荷蓄積層である積層絶縁膜

と当該積層絶縁膜上に設けられたコントロールゲート電極とを有するメモリトランジスタを有し、当該メモリトランジスタが複数個直列に接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、

データの書き込み時に、選択されたブロックの選択トランジスタのゲート電極に書き込みを行わないメモリトランジスタのチャンネルのインヒビット電圧よりも低い電圧を印加することによりデータの書き込みを行う半導体不揮発性記憶装置。

【請求項12】前記書き込みを行わないメモリトランジスタの接続されているビット線に、少なくとも前記選択されたブロックの選択トランジスタのゲート電極に印加する電圧以下の電圧を印加する請求項1記載の半導体不揮発性記憶装置。

【請求項13】書き込みを行うメモリトランジスタのワード線の両隣のワード線に0Vの電圧を印加する請求項11記載の半導体不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、NAND型フラッシュメモリ等の半導体不揮発性記憶装置に係り、特にそのデバイス構造に関するものである。

【0002】

【従来の技術】従来、EPROM、フラッシュメモリ等の半導体不揮発性記憶装置においては、チャンネルホットエレクトロン注入（以下CHE）によりフローティングゲートに電子を注入してデータのプログラムを行うNOR型の半導体不揮発性記憶装置が主流であった。しかし、上述したNOR型半導体不揮発性記憶装置においては、2個のメモリトランジスタで1個のビットコンタクトおよびソース線を共有するため、高集積化が困難であり、大容量化が図れないという問題がある。

【0003】以上の観点から、複数個のメモリトランジスタを直列に接続してNAND列を構成し、2個のNAND列で1個のビットコンタクトおよびソース線を共有することにより、高集積化を実現したNAND型フラッシュメモリが提案されている。

【0004】一般的なNAND型フラッシュメモリにおいて、消去動作は、選択NAND列ブロックの全ワード線に0V、非選択NAND列ブロックの全ワード線およびメモリアレイの基板に高電圧（たとえば20V）を印加する。その結果、選択NAND列ブロックのメモリトランジスタのみ、フローティングゲートから基板に電子が引き抜かれて、メモリトランジスタのしきい値電圧は

負方向にシフトして、たとえば-3V程度になる。

【0005】一方、データのプログラム動作は、選択するワード線に接続されたメモリトランジスタ一括に、いわゆるページ単位で行われ、選択するワード線に高電圧（たとえば18V）を、プログラムすべき（1データ）メモリトランジスタが接続されたビット線に0V、プログラムを禁止すべき（0データ）メモリトランジスタが接続されたビット線に中間電圧（たとえば8V）を印加する。その結果、プログラムすべき選択メモリトランジスタのみ、フローティングゲート中に電子が注入されて、選択メモリトランジスタのしきい値電圧は正方向にシフトして、たとえば2V程度になる。

【0006】かかるNAND型フラッシュメモリにおいては、データのプログラムおよび消去をFN（Fowler No rdheim）トンネル電流により行うため、動作電流をチップ内の昇圧回路から供給することが比較的容易であり、単一電源で動作させ易いという利点がある。さらには、ページ単位、つまり選択するワード線に接続されたメモリトランジスタ一括にデータプログラムが行われるため、当然の結果として、プログラム速度の点で優位である。

【0007】ところで、不揮発性記憶装置としては、上記のフラッシュメモリの他に、MONOS（Metal-Oxide-Nitride-Oxide-Semiconductor）型やMNOS（Metal-Nitride-Oxide-Semiconductor）型がある。MONOS型やMNOS型の不揮発性記憶装置は、ゲート電極の下部のONO膜やON膜の積層絶縁膜を電荷蓄積層として利用するもので、フローティングゲート型よりも低電圧でプログラム及び消去を行うことができ、周辺回路や素子分離の形成がフローティングゲート型よりも容易であり、今後微細化が進められると有利になる。

【0008】上記のMONOS型などの不揮発性記憶装置のデータのプログラム動作も、選択するワード線に接続されたメモリトランジスタ一括に、いわゆるページ単位で行われ、選択するワード線に高電圧（たとえば10V）を、非選択ワード線に5V程度の電圧、プログラムすべき（1データ）メモリトランジスタが接続されたビット線に0V、プログラムを禁止すべき（0データ）メモリトランジスタが接続されたビット線に中間電圧（たとえば3～4V）を印加する。その結果、プログラムすべき選択メモリトランジスタのみ、電荷蓄積層中に電子が注入されて、選択メモリトランジスタのしきい値電圧は正方向にシフトして、プログラムを行う。

【0009】

【発明が解決しようとする課題】ところで、上記のMONOS型などの不揮発性記憶装置において、将来微細化が進められるにつれて電源電圧が下がっていき、例えば0.18 μ m世代では電源電圧が1.5V程度になることが予想されるが、上記に説明した書き込み方法によるとワード線方向で約10V、ビット線方向で3～4Vの

電圧を使う必要がある。即ち、メモリアレイ周辺の回路、例えばビット線に接続されるセンスアンプなどは3～4Vに耐えられるトランジスタで形成しなければならないため、外部電源電圧が低下しても微細化することが困難であるという問題がある。

【0010】一方で、上述したNAND型フラッシュメモリも、以下の不利益を有する。すなわち、NAND型フラッシュメモリのデータプログラム動作は、ページ単位で行われるため、プログラムを禁止すべきメモリトランジスタが接続されたすべてのビット線に対しては中間電圧（たとえば8V）を印加する必要がある。ページ単位でのビット線本数は、通常512バイト、つまり、およそ4000本になるため、上記中間電圧を発生する昇圧回路の負荷が大きい。また、上述したデータプログラム動作は、プログラムメモリトランジスタのしきい値電圧を制御する必要から、複数回のプログラム／ベリファイ動作を繰り返し行うため、各プログラム毎に、上記プログラム禁止ビット線を中間電圧に充電する必要がある。

【0011】このため、プログラム／ベリファイ回数が多くなると、実質的なプログラム時間より、むしろプログラム／ベリファイ動作におけるビット線電圧の切り替えに要する時間が支配的となり、プログラム速度が律速され、高速プログラムが困難となる。さらには、各ビット線毎に設けられページデータをラッチするためのデータラッチ回路は、中間電圧を扱うため高耐圧仕様とする必要があり、必然的にサイズが大きくなり、その結果、各ビット線毎のデータラッチ回路のレイアウトが困難となる。

【0012】上述した問題点を解決して、低電圧での単一電源動作に適し、高速プログラムが可能で、しかも各ビット線毎のデータラッチ回路のレイアウトが容易なNAND型フラッシュメモリの新しいプログラム方式が、以下の文献に開示されている。

文献：IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 30, NO. 11, NOVEMBER 1995 p1152～p1153における記述、およびFig 5～Fig 6。

【0013】上述した文献に開示されたデータプログラム動作は、プログラムを禁止すべきメモリトランジスタが接続されたNAND列をフローティング状態として、当該NAND列のチャンネル部電圧を、主として非選択ワード線に印加されるバス電圧（たとえば10V）との容量カップリングにより、自動的に昇圧する。この自動昇圧動作は、セルフブースト動作と呼ばれる。

【0014】図6は、上述したセルフブースト動作によりNAND型フラッシュメモリのデータプログラムを行う場合の動作を説明するための図である。

【0015】図6のNAND型フラッシュメモリは、便宜上、2本のビット線に接続されたNAND列1本に4

個のメモリトランジスタが直列接続された場合のメモリアレイを示す図であるが、実際のメモリアレイにおいては、1本のNAND列に直列接続されるメモリトランジスタの個数は16個程度が一般的である。図6において、BLa、BLbはビット線を示し、ビット線BLaには2個の選択トランジスタST1a～ST2a、および4個のメモリトランジスタMT1a～MT4aが直列接続されたNAND列が接続される。また、ビット線BLbには2個の選択トランジスタST1b～ST2b、および4個のメモリトランジスタMT1b～MT4bが直列接続されたNAND列が接続される。選択トランジスタST1a～ST2aおよびST1b～ST2bはそれぞれ選択ゲート線SL1～SL2により制御され、またメモリトランジスタMT1a～MT4aおよびMT1b～MT4bはそれぞれワード線WL1～WL4により制御される。

【0016】次に、図6のNAND型フラッシュメモリにおいて、ワード線WL2を選択して、MT2aがプログラムを禁止すべき（0データ）メモリトランジスタであり、MT2bがプログラムすべき（1データ）メモリトランジスタである場合の、プログラム動作について説明する。

【0017】まず、選択ゲート線SL1に電源電圧VCC（3.3V）、選択ゲート線SL2に接地電圧GND（0V）が印加され、プログラムを禁止すべきメモリトランジスタMT2aが接続されたビット線BLaに電源電圧VCC（3.3V）、プログラムすべきメモリトランジスタMT2bが接続されたビット線BLbに接地電圧GND（0V）が印加される。次に、選択ワード線WL2にプログラム電圧V_{pgm}（たとえば18V）が、非選択ワード線WL1、WL3～WL4にバス電圧V_{pass}（たとえば10V）が印加される。

【0018】その結果、プログラムを禁止すべきメモリトランジスタMT2aが接続されたNAND列のチャンネル部はフローティング状態となり、当該チャンネル部の電位は主として非選択ワード線（図6においては3本であるが、一般的には15本である）に印加されるバス電圧V_{pass}とのキャパシタカップリングにより、ブーストされプログラム禁止電圧まで上昇して、メモリトランジスタMT2aへのデータプログラムが禁止される。一方、プログラムすべきメモリトランジスタMT1bが接続されたNAND列のチャンネル部は接地電圧GND（0V）に設定され、選択ワード線に印加されたプログラム電圧V_{pgm}との電位差により、メモリトランジスタMT2bへのデータプログラムがなされ、しきい値電圧は正方向にシフトして、たとえば消去状態の-3Vから2V程度になる。

【0019】図7（a）～（b）は、上述したセルフブースト動作を説明するための図であり、図7（a）はセルフブースト動作時におけるプログラム禁止NAND列

内の1個のメモリトランジスタを図示したものであり、図7(b)はその等価回路図である。

【0020】図7(a)において、VCはワード線WL(コントロールゲートCG)に印加する電圧、VFはフローティングゲートFGの電位、VchはブーストされたNAND列チャンネル電位、C_{ono}はコントロールゲート/フローティングゲート間の3層絶縁膜で構成される層間容量、C_{tox}はトンネル酸化膜容量、C_{ch}はソース/ドレイン拡散層領域を含むメモリトランジスタのチャンネル部容量をそれぞれ示している。ま

$$V_{ch} = B_r * V_C \quad \dots (1)$$

【0023】ここで、Brは下記(2)式で表わされるセルフブースト効率を示しており、デバイス構造の最適設計により通常~0.8程度に設定する。

$$B_r = C_{ins} / (C_{ins} + C_{ch}) \quad \dots (2)$$

【0025】ところで、プログラム時のセルフブースト動作においては、(1)式のVCはすべてのワード線印加電圧の加重平均となるが、一般的なNAND型フラッシュメモリにおいてはNAND列を構成するワード線本数は16本程度であるため、非選択ワード線に印加する

$$V_{ch} = B_r * V_{pass} \quad \dots (3)$$

【0027】したがって、Br≒0.8、V_{pass}=10Vとすれば、V_{ch}≒8Vとなり、充分プログラム禁止電圧となりうる。

【0028】上述したセルフブースト動作によるNAND型フラッシュメモリのデータプログラム動作は、非選択ビット線に高電圧の中間電圧を印加する必要がないため、低電圧での単一電源動作に適し、高速プログラムが可能で、しかも各ビット線毎のデータラッチ回路のレイアウトが容易である。

【0029】上記の低電圧での単一電源動作に適し、高速プログラムが可能で、しかも各ビット線毎のデータラッチ回路のレイアウトが容易であるセルフブースト動作について、MONOS型あるいはMINOS型の不揮発性記憶装置に適用した例はこれまでになかった。

【0030】ところで、上記セルフブースト動作を実現するためには、セルフブースト効率Brを最低限でも0.6~0.8と大きくする必要がある。セルフブースト効率Brが充分にとれない場合は、NAND列チャンネル電位V_{ch}が充分に上昇しないため、図6の例では、非選択メモリトランジスタMT2aに対して誤プログラムが行われる可能性がある。また、バス電圧V_{pass}を高くすることによりチャンネル電位V_{ch}をもち上げようとする図6の例では、非選択メモリトランジスタMT1b、MT3b~MT4bに対して誤プログラムが行われる可能性がある。

【0031】NAND型フラッシュメモリのデバイス構造において、セルフブースト効率Brを大きく設定するためには、(2)式よりソース/ドレイン拡散層領域を含むメモリトランジスタのチャンネル部容量C_{ch}を

た、L_{dep}はソース/ドレイン拡散層における空乏層広がり長を示している。また、図7(b)において、C_{ins}は層間容量C_{ono}とトンネル酸化膜容量C_{tox}の直列接続による合成容量である。

【0021】図7(b)の等価回路により、セルフブースト動作時のNAND列チャンネル電位V_{ch}は(1)式で表される。

【0022】

【数1】

【0024】

【数2】

バス電圧が支配的となる。よって、(1)式は次の(3)式のように表される。

【0026】

【数3】

小さくする必要があり、そのためにはNAND型メモリアレイが形成されるP型ウェル領域のP型不純物濃度を低く設定しなければならない。

【0032】ところが、上述のようにP型不純物濃度を低く設定すれば、図7(a)に図示される空乏層広がり長L_{dep}が大きくなって、メモリトランジスタおよび選択トランジスタの短チャンネル化が図れなくなり、ひいては高集積化が実現できなくなる。この影響は特に選択トランジスタにおいて顕著である。図6の例では、選択トランジスタST1aはセルフブースト動作時のNAND列チャンネル電位V_{ch}とビット線との干渉を防止するパンチスルー耐性が必要であり、選択トランジスタST2aは同様にチャンネルV_{ch}とソース電位V_{SS}との干渉を防止するパンチスルー耐性が必要である。

【0033】上述した選択トランジスタにおけるパンチスルー耐性を向上させるためには、P型ウェル領域のP型不純物濃度を高く設定する必要がある。しかし、P型不純物濃度を高く設定すると、チャンネル部容量C_{ch}が大きくなるために(2)式よりセルフブースト効率Brが低下して、非選択メモリトランジスタに対するプログラムディスタースが問題となる。つまり、従来のNAND型フラッシュメモリのデバイス構造では、セルフブースト効率Brの確保とメモリトランジスタおよび選択トランジスタの短チャンネル化が相反するトレードオフの関係にあるため、両方とも実現することが困難であった。

【0034】図8(a)、(b)は上述したトレードオフの関係を示すグラフであり、また図15は従来のNAND型フラッシュメモリのデバイス構造を簡略的に示す

図である。

【0035】図8(a)において、横軸はメモリアレイのウェル(WELL)濃度 N_{sub} を、縦軸はセルフブースト効率 B_r を示している。また図8(b)においては、横軸はメモリアレイのWELL濃度 N_{sub} を、縦軸は選択トランジスタの短チャンネル限界 L_{min} を示している。

【0036】図8(a)により、セルフブースト効率 B_r を十分に確保するためにはWELL濃度 N_{sub} を低く設定する必要がある、図8(b)により、WELL濃度 N_{sub} を低く設定すると選択トランジスタの短チャンネル化が困難となることが判る。

【0037】また、図15の従来のデバイス構造においては、1は半導体基板、2はメモリアレイ領域が形成される第1のP型不純物ドーピング領域(P型ウェル領域)、3はトンネル酸化膜、4はフローティングゲートをなす第1層目のポリシリコンゲート電極、5は層間絶縁膜、6メモリトランジスタのワード線および選択トランジスタの選択ゲート線をなす第2層目のポリシリコンゲート電極、7は選択トランジスタおよびメモリトランジスタのソースおよびドレイン拡散層をなす第1のN型不純物ドーピング領域である。

【0038】図15の例においては、図中に示すように、セルフブースト効率 B_r を十分に確保するために選択トランジスタのチャンネル長 L_s が長くなっており、そのためにメモリアレイの高集積化が損なわれている。

【0039】本発明は、かかる事情に鑑みてなされたものであり、その目的は、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易なセルフブースト動作によりデータプログラムを行うことができ、しかもメモリトランジスタおよび選択トランジスタのパンチスルーを防止してメモリアレイの高集積化が可能な半導体不揮発性記憶装置、及び、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易なセルフブースト動作によりデータプログラムを行うことができ、メモリアレイの高集積化が可能なMONOS型あるいはMNOS型の半導体不揮発性記憶装置を提供することにある。

【0040】

【課題を解決するための手段】上記目的を達成するため、本発明は、電気的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個直列接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、前記メモリアレイ領域の半導体基板表面上に形成される第1の第1導電型不純物ドーピン

グ領域と、前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタおよびメモリトランジスタのソースおよびドレイン電極をなす第1の第2導電型不純物ドーピング領域と、前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタのソースおよびドレイン電極部のみ前記第1の第2導電型不純物ドーピング領域の少なくとも一部を包含するように形成されかつ前記第1の第1導電型不純物ドーピング領域よりも高濃度に形成された第2の第1導電型不純物ドーピング領域とを有する。

【0041】また、本発明は、電気的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個直列接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、前記メモリアレイ領域の半導体基板表面上に形成される第1の第1導電型不純物ドーピング領域と、前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタおよびメモリトランジスタのソースおよびドレイン電極をなす第1の第2導電型不純物ドーピング領域と、前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する接地線側の選択トランジスタのソース電極部およびビット線側の選択トランジスタのドレイン電極部のみ前記第1の第2導電型不純物ドーピング領域の少なくとも一部を包含するように形成されかつ前記第1の第1導電型不純物ドーピング領域よりも高濃度に形成された第2の第1導電型不純物ドーピング領域とを有する。

【0042】また、本発明は、電気的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個直列接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、前記メモリアレイ領域の半導体基板表面上に形成される第1の第1導電型不純物ドーピング領域と、前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記NAND列を構成する選択トランジスタおよびメモリトランジスタのソースおよびドレイン電極をなす第1の第2導電型不純物ドーピング領域と、前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記第1の第2導電型不純物ドーピング領域の少なくとも一部を包含するように形成さ

れかつ前記第1の第1導電型不純物ドーピング領域よりも高濃度に形成された第2の第1導電型不純物ドーピング領域と、前記第1の第1導電型不純物ドーピング領域内に形成されかつ前記第1の第2導電型不純物ドーピング領域の平面パターン形状内に前記第2の第1導電型不純物ドーピング領域よりも深く形成された第2の第2導電型不純物ドーピング領域とを有する。

【0043】また、本発明では、前記NAND列を構成する選択トランジスタおよびメモリトランジスタのゲート電極側壁部にサイドウォールスペーサ一部が形成され、前記第2のN型不純物ドーピング領域は、隣接するサイドウォールスペーサ一部間における半導体基板に形成されている。

【0044】本発明のNAND型半導体不揮発性記憶装置によれば、たとえばNAND列を構成する選択トランジスタのソースおよびドレイン電極部（第1のN型不純物ドーピング領域）のみ、パンチスルー防止のため高濃度のP型不純物によるいわゆるポケットイオン注入（第2のP型不純物ドーピング領域）を行い、一方メモリアレイが形成されるP型ウェル領域（第1のP型不純物ドーピング領域）は低濃度に設定される。したがって、セルフブースト効率を充分確保すると同時に、選択トランジスタの短チャンネル化が実現できる。

【0045】また、本発明のNAND型半導体不揮発性記憶装置によれば、NAND列を構成する接地線側の選択トランジスタのソース電極部およびビット線側の選択トランジスタのドレイン電極部（第1のN型不純物ドーピング領域）のみ、パンチスルー防止のため高濃度のP型不純物によるいわゆるポケットイオン注入（第2のP型不純物ドーピング領域）を行い、一方メモリアレイが形成されるP型ウェル領域（第1のP型不純物ドーピング領域）は低濃度に設定される。したがって、第1のNAND型半導体不揮発性記憶装置よりもさらにセルフブースト効率を充分確保すると同時に、ある程度選択トランジスタの短チャンネル化も実現できる。

【0046】また、本発明のNAND型半導体不揮発性記憶装置によれば、NAND列を構成する選択トランジスタおよびメモリトランジスタのソースおよびドレインをなすN型拡散層（第1のN型不純物ドーピング領域）に対して、パンチスルー防止のため高濃度のP型不純物によるいわゆるポケットイオン注入（第2のP型不純物ドーピング領域）を行い、さらに前記ポケットイオン注入によるソースおよびドレイン接合容量の増加を防止するために前記ポケットイオン注入層よりも高エネルギーでN型不純物をイオン注入（第2のN型不純物ドーピング領域）して前記ソースおよびドレインN型拡散層がさらに深く形成される。一方メモリアレイが形成されるP型ウェル領域（第1のP型不純物ドーピング領域）は低濃度に設定される。したがって、セルフブースト効率を大きく低下させることなく、選択トランジスタおよびメ

モリトランジスタの短チャンネル化が実現できる。

【0047】また、本発明は、ドレイン領域及びソース領域とチャンネル形成領域上に設けられた電荷蓄積層である積層絶縁膜と該積層絶縁膜上に設けられたコントロールゲート電極とを有するメモリトランジスタを有し、該メモリトランジスタが複数個直列に接続され、当該直列接続体の一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されてNAND列を構成し、前記NAND列がマトリクス配置され、同一行のメモリセルトランジスタのゲートが共通のワード線に接続されてなるメモリアレイ領域を有するNAND型の半導体不揮発性記憶装置であって、データの書き込み時に、選択されたブロックの選択トランジスタのゲート電極に書き込みを行わないメモリトランジスタのチャンネルのインヒビット電圧よりも低い電圧を印加することによりデータの書き込みを行う。

【0048】上記の本発明の半導体不揮発性記憶装置は、電荷蓄積層である積層絶縁膜として、ONO膜あるいはON膜を使用することでMONOS型あるいはMNOS型とすることができる。セルフブースト動作を適用することにより、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易なセルフブースト動作によりデータプログラムを行うことができ、メモリアレイの高集積化が可能なMONOS型あるいはMNOS型の半導体不揮発性記憶装置を提供できる。

【0049】上記の本発明の半導体不揮発性記憶装置は、好適には、前記書き込みを行わないメモリトランジスタの接続されているビット線に、少なくとも前記選択されたブロックの選択トランジスタのゲート電極に印加する電圧以下の電圧を印加する。ビット線に印加する電圧を下げるので、ビット線方向に接続されているセンスアンプなどの回路をゲート長の小さいトランジスタで形成することが可能となり、回路の面積を縮小できる。その結果、チップ面積の縮小ができ、コストの削減が可能となる。

【0050】上記の本発明の半導体不揮発性記憶装置は、好適には、書き込みを行うメモリトランジスタのワード線の両隣のワード線に0Vの電圧を印加する。これにより、選択セルのチャンネルの電位をさらに上昇させることが可能であり、ゲート電極との電位差が小さくなるので、選択セルと同一ワード線のセルのディスタースを小さくすることができる。

【0051】

【発明の実施の形態】

第1実施形態

図1は、本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第1の実施形態を示す簡略断面図である。

【0052】図1において、ST1a、ST2aは選択トランジスタ、MT1a～MT4aはメモリトランジスタをそれぞれ示しており、図1は図6に示すNAND型半導体不揮発性記憶装置の等価回路の1列分に相当するデバイス構造を簡略的に示している。

【0053】このNAND型半導体不揮発性記憶装置は、図1に示すように、半導体基板1、半導体基板1内に形成され、メモリアレイ領域が形成されるP型ウェル領域（第1のP型不純物ドーピング領域）2、半導体基板1のチャンネル形成領域上に形成されたトンネル酸化膜3、トンネル酸化膜3上に形成され、メモリトランジスタMT1a～MT4aのたフローティングゲートをなす第1層目のポリシリコンゲート電極4、ポリシリコンゲート電極4上に形成された層間絶縁膜5、選択トランジスタST1a、ST2a領域のトンネル酸化膜3上、並びに層間絶縁膜5上に形成されたメモリトランジスタMT1a～MT4aのワード線WL1a～WL4a（コントロールゲート）および選択トランジスタST1a、ST2aの選択ゲート線SL1a、SL2aをなす第2層目のポリシリコンゲート電極6、P型ウェル領域2内に形成された選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのソースおよびドレイン拡散層（第1のN型不純物ドーピング領域）7、および、選択トランジスタST1a、ST2aのソースおよびドレイン拡散層7のみパンチスルー防止のために形成される高濃度のP型不純物によるいわゆるポケットイオン注入層（第2のP型不純物ドーピング領域）8により構成されている。このように、この半導体不揮発性記憶装置は、全拡散層領域がいわゆる二重拡散構造を有する。

【0054】図2（a）～（c）は、図1のNAND型半導体不揮発性記憶装置のプロセスフローの概略を説明するための図であり、以下に、その製造プロセスについて図2を参照して説明する。

【0055】まず、図2（a）に示すように、メモリアレイ領域2が形成されるP型ウェル領域を接合容量低減のために低濃度（たとえば $1E16 \sim 1E17 \text{ cm}^{-3}$ ）に形成し、トンネル酸化膜3をたとえば10nm程度形成する。フローティングゲートをなす第1層目のポリシリコンゲート電極4、層間絶縁膜5およびメモリトランジスタMT1a～MT4aのワード線WL1a～WL4aおよび選択トランジスタST1a、ST2aの選択ゲート線SL1a、SL2aをなす第2層目のポリシリコンゲート電極6を形成し加工する。ここまでは、従来のNAND型半導体不揮発性記憶装置のプロセスフローと同様である。

【0056】次に、図2（b）に示すように、選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのソースおよびドレイン電極拡散層7を形成するために、たとえばAs（ヒ素イオン）を7

度程度の斜め角度で濃度が $1E19 \text{ cm}^{-3}$ 程度になるようにイオン注入する。そして、イオン注入阻止のためのフォトリソ層9を形成して選択トランジスタ部のみ開口する。

【0057】次に、図2（c）において、選択トランジスタのソースおよびドレイン電極部のみパンチスルー防止のためにP型ポケットイオン注入層8を形成するために、たとえばB（ボロンイオン）を30度程度の斜め角度で濃度が $1E18 \text{ cm}^{-3}$ 程度になるようにイオン注入し、フォトリソ層9を剥離する。その後は通常のNAND型半導体不揮発性記憶装置のプロセスフローと同様である。

【0058】以上説明したように、本第1の実施形態に係るNAND型半導体不揮発性記憶装置によれば、NAND列を構成する選択トランジスタST1a、ST2aのソースおよびドレイン電極部7のみ、パンチスルー防止のため高濃度のP型不純物によるポケットイオン注入層8を形成したので、セルフブースト効率を充分確保できる同時に、選択トランジスタおよびメモリトランジスタの短チャンネル化を実現できる。また、図15に示す従来のNAND型半導体不揮発性記憶装置のように選択トランジスタのチャンネル長を長くとする必要がなく、メモリアレイの高集積化が損なわれることがないという利点がある。

【0059】第2実施形態

図3は、本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第2の実施形態を示す簡略断面図である。

【0060】本第2の実施形態に係るNAND型半導体不揮発性記憶装置のデバイス構造は基本的に図1のデバイス構造と同様である。異なる点は、パンチスルー防止のために形成されるポケットイオン注入層8が、選択トランジスタST1a、ST2aのソースおよびドレインの両方の拡散層部に形成されるのではなく、接地線側の選択トランジスタST2aにあってはソース拡散層（電極）部のみ、またビット線側の選択トランジスタST1aにあってはドレイン拡散層（電極）部のみに形成されることである。

【0061】なお、本第2の実施形態に係るNAND型半導体不揮発性記憶装置の製造プロセスは、基本的に上述した図1の半導体不揮発性記憶装置の製造プロセスと同様である。したがって、その説明は省略する。

【0062】本第2の実施形態によれば、接地線側の選択トランジスタのソース電極部およびビット線側の選択トランジスタのドレイン電極部のみ、パンチスルー防止のため高濃度のP型不純物によるポケットイオン注入層を形成したので、セルフブースト効率を充分確保できる同時に、選択トランジスタおよびメモリトランジスタの短チャンネル化が実現でき、また、高集積化を実現できる。

【0063】第3実施形態

図4は本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第3の実施形態を示す簡略断面図である。

【0064】このNAND型半導体不揮発性記憶装置のデバイスは、図4に示すように、半導体基板1、半導体基板1内に形成され、メモリアレイ領域が形成されるP型ウェル領域（第1のP型不純物ドーピング領域）2、半導体基板1のチャンネル形成領域上に形成されたトンネル酸化膜3、トンネル酸化膜3上に形成され、メモリトランジスタMT1a～MT4aのたフローティングゲートをなす第1層目のポリシリコンゲート電極4、ポリシリコンゲート電極4上に形成された層間絶縁膜5、選択トランジスタST1a、ST2a領域のトンネル酸化膜3上、並びに層間絶縁膜5上に形成されたメモリトランジスタMT1a～MT4aのワード線WL1a～WL4a（コントロールゲート）および選択トランジスタST1a、ST2aの選択ゲート線SL1a、SL2aをなす第2層目のポリシリコンゲート電極6、P型ウェル領域2内に形成された選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのソースおよびドレイン拡散層（第1のN型不純物ドーピング領域）7、選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのソースおよびドレイン拡散層7のみパンチスルー防止のために形成される高濃度のP型不純物によるいわゆるポケットイオン注入層（第2のP型不純物ドーピング領域）8、選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのゲート電極側壁部にシリコン酸化膜により形成されるサイドウォールスペーサ10、および前記ポケットイオン注入によるソースおよびドレイン接合容量の増加を防止するためにポケットイオン注入層8より深く形成されたソースおよびドレイン拡散層（第2のN型不純物ドーピング領域）11により構成されている。

【0065】図5（a）～（c）は、図4のNAND型半導体不揮発性記憶装置のプロセスフローの概略を説明するための図であり、以下に、その製造プロセスについて図5を参照して説明する。

【0066】まず、図5（a）に示すように、メモリアレイ領域2が形成されるP型ウェル領域を接合容量低減のために低濃度（たとえば $1E16 \sim 1E17 \text{ cm}^{-3}$ ）に形成し、トンネル酸化膜3をたとえば10nm程度形成する。フローティングゲートをなす第1層目のポリシリコンゲート電極4、層間絶縁膜5およびメモリトランジスタMT1a～MT4aのワード線WL1a～WL4aおよび選択トランジスタST1a、ST2aの選択ゲート線SL1a、SL2aをなす第2層目のポリシリコンゲート電極6を形成し加工する。ここまでは、従来のNAND型半導体不揮発性記憶装置のプロセスフローと

同様である。

【0067】次に、図5（b）に示すように、選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのソースおよびドレイン電極拡散層7を形成するために、たとえばAs（ヒ素イオン）を70度程度の斜め角度で濃度が $1E19 \text{ cm}^{-3}$ 程度になるようにイオン注入する。その後選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのパンチスルー防止のためにP型ポケットイオン注入層8を形成するために、たとえばB（ボロンイオン）を30度程度の斜め角度で濃度が $1E18 \text{ cm}^{-3}$ 程度になるようにイオン注入する。次に、選択トランジスタST1a、ST2aおよびメモリトランジスタMT1a～MT4aのゲート電極側壁部にシリコン酸化膜によりサイドウォールスペーサ10を形成する。

【0068】次に、図5（c）において、前記ポケットイオン注入によるソースおよびドレイン接合容量の増加を防止するためにポケットイオン注入層8より深い位置にソースおよびドレイン拡散層11を $1E19 \sim 1E20 \text{ cm}^{-3}$ 程度の濃度で形成する。その後は通常のNAND型半導体不揮発性記憶装置のプロセスフローと同様である。

【0069】以上説明したように、本第3の実施形態によれば、選択トランジスタおよびメモリトランジスタに対して、パンチスルー防止のため高濃度のP型不純物によるポケットイオン注入層8を形成し、さらにポケットイオン注入層8によるソースおよびドレイン接合容量の増加を防止するためにポケットイオン注入層8よりもさらに深い位置にソースおよびドレイン拡散層11を形成したので、セルフブースト効率を充分確保すると同時に、選択トランジスタおよびメモリトランジスタの短チャンネル化が実現できる。

【0070】第4実施形態

図9及び図10はそれぞれ本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第4の実施形態を示す簡略断面図及び平面図である。ここではMONOS型の半導体不揮発性記憶装置に適用している。図9は図10のA-A'における断面図である。

【0071】図9に示すように、半導体基板51（通常、メモリトランジスタにnMOSを用いるのでp型基板あるいはp型ウェル）上に、約2nm程度の膜厚のトンネル酸化膜53、電荷蓄積層54、約4nm程度の膜厚のトップ酸化膜55で積層絶縁膜CAを形成し、積層絶縁膜CA中の電荷量によりメモリトランジスタのしきい値が変化することを利用して、データを蓄えている。電荷蓄積層54は、窒化シリコンを用いることが多く、その膜中に電子をトラップすることにより電荷を保持している。低電圧で書き込みためには、膜厚は10nm以下のものが使われる。

【0072】図10に示すように、複数本のメモリトラ

ンジスタのゲート電極56と選択ゲート電極58、59が平行に配置されており、メモリトランジスタのゲート電極の下層には積層絶縁膜CAがあり、それらを直列にゲート電極と垂直方向に拡散層が接続している。接続したトランジスタのNAND列の一端がビットコンタクト57に、他端がソース線60に接続している。

【0073】次に、図11(a)に示す等価回路に基づき、書き込み動作を説明する。図11(b)は、図11(a)における点線内のNANDストリングの断面図である。ここでは、NAND型の1つの単位セルアレイを、8つの直列接続されたメモリトランジスタと、2つの選択トランジスタ63、64と、ビット線コンタクト57及びソース線60からなっているものとして説明する。

【0074】書き込み時には、選択セル62が接続されているビット線61を0V、ワード線66を10Vとしてチャンネル全面から積層絶縁膜CAへ電流を流すことにより書き込み、非選択セルのワード線65には5V程度の電圧を印加して電位差を小さくすることにより書き込みが起こらないようにする。

【0075】このとき、選択トランジスタ63のゲート電極には電源電圧、例えば1.5V程度の電圧を印加する。また、選択セル62と同一ワード線上の書き込みを行わないセルにおいては、ビット線67に、例えば1.5V程度の電圧を印加する。

【0076】ところで、メモリセルは、図12(a)、図12(b)に示すように、ゲート電極56とチャンネル68間の積層絶縁膜CAの容量と、チャンネル68と基板51の間の空乏層73の容量が直列接続されているものとみなせる。

【0077】もし仮にチャンネル68がフローティングになっていたと仮定すると、チャンネル68の電位は、ゲート電極56に印加された電圧の容量分割により決まる。例えば、積層絶縁膜CAの容量と空乏層の容量の比が2:1程度であれば、ゲート電極56に5V印加したとすると、チャンネル68の電位は約3.3Vとなる。

【0078】図11(b)に示すように、選択トランジスタ63にはゲート電極に1.5V、ビット線側のドレインに1.5V印加されているが、メモリセルのソース側には、初めはしきい値電圧分だけ低下した電位になっているが、前述したように、メモリトランジスタのゲート電極に電圧を印加するとともに電位が上昇するので、選択トランジスタ63はその時点でオフすることとなる。従ってメモリトランジスタのチャンネル部分はフローティングとなり、3.3V程度まで上昇することができる。チャンネル部分の電位が上昇すると、ゲート電極との電位差が小さくなるので、書き込みが起こらなくなる。

【0079】従って、インヒビット電圧をビット線から供給する必要がなく、ビット線に印加する電圧を従来よ

りも下げることができる。ビット線に印加する電圧を下げることで、ビット線方向に接続されているセンスアンプなどの回路をゲート長の小さいトランジスタで形成することが可能となり、回路の面積を縮小できる。その結果、チップ面積の縮小、すなわち、コストの削減が可能となる。さらに、装置の高集積化も可能となる。

【0080】本実施形態はONO膜を有するMONOS型の半導体不揮発性記憶装置について説明したが、ON膜を有するMNOS型の半導体不揮発性記憶装置に適用することもできる。

【0081】第5実施形態

以下、第5実施形態による書き込み動作を図13に示す図面に基づき説明する。

【0082】図13(a)に示すように、書き込み時には、選択セル62が接続されているビット線61を0V、ワード線66を10Vとしてチャンネル全面から積層絶縁膜CAへ電流を流すことにより書き込む。

【0083】選択トランジスタ63のゲート電極には電源電圧、例えば1.5V程度の電圧を印加する。また、選択セル62と同一ワード線上の書き込みを行わないセルのビット線67には、例えば1.5V程度の電圧を印加する。

【0084】非選択セルのワード線のうち選択セルの両隣のセル以外のワード線65には5V程度の電圧を印加して電位差を小さくすることにより書き込みがおこらないようにする。そして、選択セルの両隣のセルのワード線69、70は0Vとする。

【0085】第4実施形態と同様に、選択トランジスタ63にはゲート電極に1.5V、ビット線側のドレインに1.5V印加されているが、メモリトランジスタのゲート電極に電圧を印加するとともにメモリトランジスタに接続されているソースの電位が上昇するので、選択トランジスタはオフして、メモリトランジスタのチャンネル部分がフローティングとなる。

【0086】また、選択セル62では、両隣のセルがオフするので、やはり、フローティングとなる。

【0087】メモリセルでは、図12に示すように、ゲート電極56とチャンネル68間の積層絶縁膜CAの容量と、チャンネル68と基板51の間の空乏層の容量が直列接続されているものとみなせて、チャンネル68の電位は、ゲート電極56に印加された電圧の容量分割により決まる。例えば、積層絶縁膜CAの容量と空乏層の容量の比が2:1であれば、ゲート電極56に5V印加したとすると、チャンネル68の電位は約3.3Vとなり、ゲート電極56に10V印加したとすると、チャンネル68の電位は約6.6Vとなる。この様子を図13(b)に示す。

【0088】第4実施形態では、チャンネルの電位が3.3V程度までしか上昇しなかったもので、選択セル6

2と同一ワード線上のセルのディスタープが大きかったが、本実施形態においては、6.6V程度まで上昇できるので、ゲート電極との電位差が小さくなり、ディスタープを小さくすることができる。

【0089】ここで、図14(a)、図14(b)に示すように、NAND型の場合、通常、ソース線側のセルからビット線側のセルへと順に書き込んでいくので、選択セル62の隣のビット線側のセル71はまだ書き込みが行われておらず、デプレッション型になっている。すなわち、ワード線に0Vを印加した状態でオンしているために、ビット線61の電位を伝達することができる。

【0090】選択セル62隣のソース線側にあるセル72は書き込みが行われた場合はオフ、書き込みが行われなかった場合はオンと二通り考えられるが、図14

(b)、図14(c)に示すように、それよりソース線側にあるセルのチャンネルの電位が、前者の場合3.3V(図14(b))、後者の場合0V(図14(c))となるだけで、書き込みに影響はしない。

【0091】以上説明したように、本実施形態によれば、インヒビット電圧をビット線から供給する必要がなく、ビット線に印加する電圧を従来よりも下げることができるので、ビット線方向に接続されているセンスアンプなどの回路をゲート長の小さいトランジスタで形成することが可能となり、回路の面積を縮小できる。その結果、チップ面積の縮小ができ、コストの削減が可能となる他、装置の高集積化も可能となる。また、選択セルの両隣のワード線を0Vとすることにより、選択セルと同一ワード線上のセルのディスタープを低減できる。

【0092】本実施形態はONO膜を有するMONOS型の半導体不揮発性記憶装置について説明したが、ON膜を有するMNOS型の半導体不揮発性記憶装置に適用することもできる。

【0093】

【発明の効果】以上説明したように、本発明によれば、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易なセルフブースト動作によりデータプログラムを行い、しかもメモリトランジスタおよび選択トランジスタのパンチスルーを防止してメモリアレイの高集積化が可能なNAND型半導体不揮発性記憶装置、及び、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易なセルフブースト動作によりデータプログラムを行うことができ、メモリアレイの高集積化が可能なMONOS型あるいはMNOS型の半導体不揮発性記憶装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第1の実施形態を示す簡略断面図である。

【図2】第1の実施形態に係るNAND型半導体不揮発

性記憶装置のプロセスフローの概略を説明するための図である。

【図3】本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第2の実施形態を示す簡略断面図である。

【図4】本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第3の実施形態を示す簡略断面図である。

【図5】第3の実施形態に係るNAND型半導体不揮発性記憶装置のプロセスフローの概略を説明するための図である。

【図6】セルフブースト動作によりNAND型フラッシュメモリのデータプログラムを行う場合の、動作オペレーションを示す図である。

【図7】セルフブースト動作を説明するための図であり、(a)はセルフブースト動作時におけるプログラム禁止NAND列内の1個のメモリトランジスタを図示したものであり、(b)はその等価回路図である。

【図8】セルフブースト効率 B_r の確保と選択トランジスタの短チャンネル化が、相反するトレードオフの関係にあることを説明するための図である。

【図9】本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第4の実施形態及び第5実施形態を示す簡略断面図である。

【図10】本発明に係るNAND型半導体不揮発性記憶装置のデバイス構造の第4の実施形態及び第5実施形態を示す平面図である。

【図11】第4の実施形態に係るNAND型半導体不揮発性記憶装置のプロセスフローの概略を説明するための(a)回路図、及び(b)断面図である。

【図12】第4の実施形態に係るNAND型半導体不揮発性記憶装置のセルフブースト動作を説明するための(a)断面図、及び(b)等価回路図である。

【図13】第5の実施形態に係るNAND型半導体不揮発性記憶装置のプロセスフローの概略を説明するための(a)回路図、及び(b)断面図である。

【図14】第5の実施形態に係るNAND型半導体不揮発性記憶装置のプロセスフローの概略を説明するための(a)回路図、及び(b)、(c)は断面図である。

【図15】従来のNAND型フラッシュメモリのデバイス構造を示す図である。

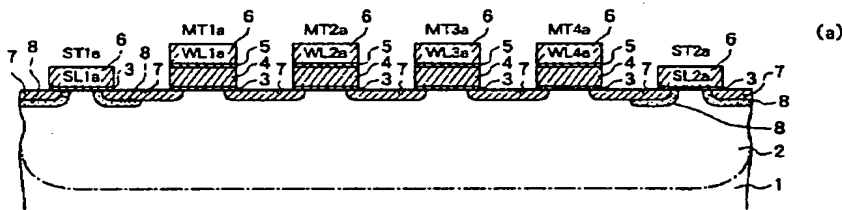
【符号の説明】

SL1~SL2…選択ゲート線、WL1~WL4…ワード線、BLa, BLb…ビット線、ST1a~ST2a, ST1b~ST2b…選択トランジスタ、MT1a~MT4a, MT1b~MT4b…メモリトランジスタ、Vpgm…プログラム電圧、Vpass…パス電圧、C-ono…コントロールゲート/フローティングゲート間の層間容量、C-tox…トンネル酸化膜容量、C-ch…チャンネル部容量、C-ins…C-o

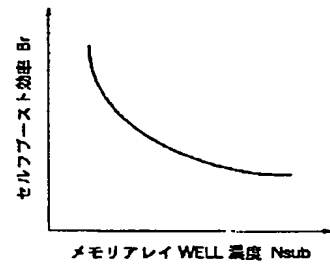
noとC-toxの直列接続による合成容量、Br…セルフブースト効率、1…半導体基板、2…P型ウェル領域（第1のP型不純物ドーピング領域）、3…トンネル酸化膜、4…第1層目のポリシリコンゲート電極、5…層間絶縁膜、6…第2層目のポリシリコンゲート電極、7…ソースおよびドレイン拡散層（第1のN型不純物ドーピング領域）、8…P型ポケットイオン注入層（第2のP型不純物ドーピング領域）、9…イオン注入阻止のためのフォトレジスト層、10…サイドウォールスペーサー、11…ソースおよびドレイン拡散層（第2のN型不純物ドーピング領域）、51…半導体基板、52…素

子分離絶縁膜、53…トンネル酸化膜、54…電荷蓄積層（SiN）、55…トップ酸化膜、56…ゲート電極、57…ビット線コンタクト、58、59…選択ゲート電極、60…ソース線、61…ビット線、62…選択セル、63、64…選択トランジスタ、65…非選択セルのワード線、66…選択セルのワード線、67…非選択セルのビット線、68…チャンネル、69…選択セルの隣のビット線側のセルのワード線、70…選択セルの隣のソース線側のセルのワード線、71…選択セルの隣のビット線側のセル、72…選択セルの隣のソース線側のセル、73…空乏層。

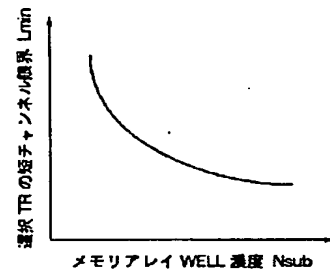
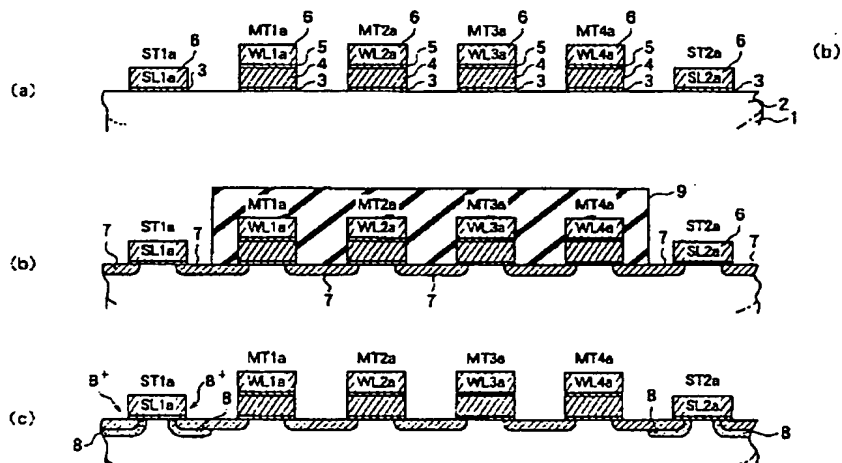
【図1】



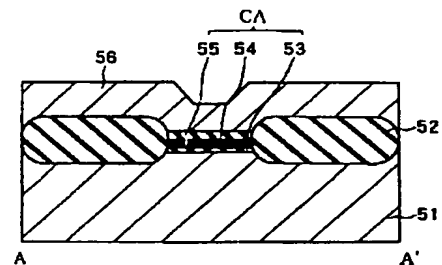
【図8】



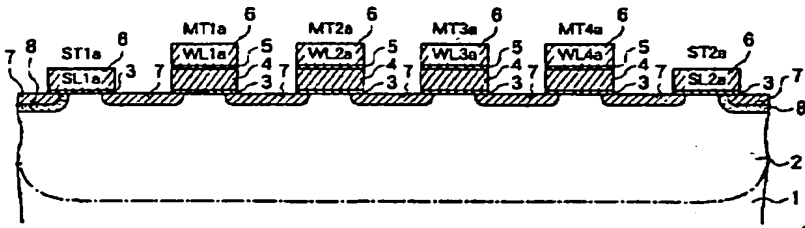
【図2】



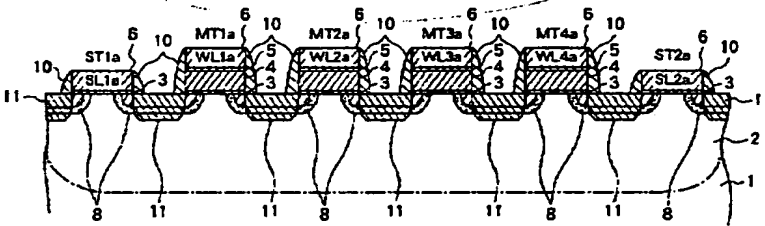
【図9】



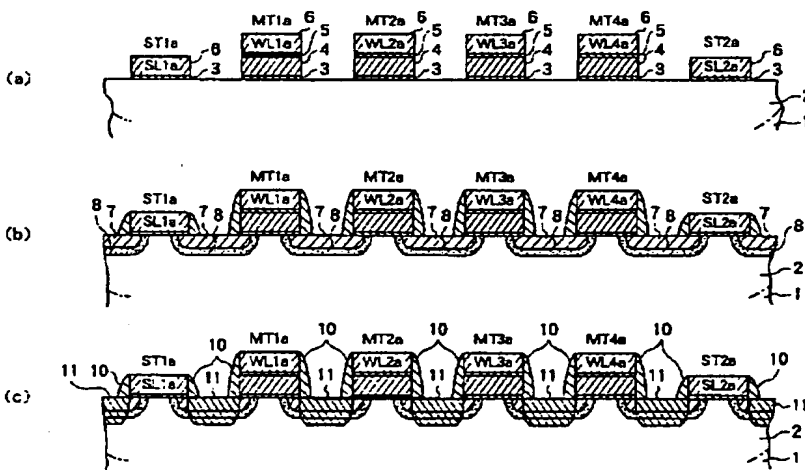
【図3】



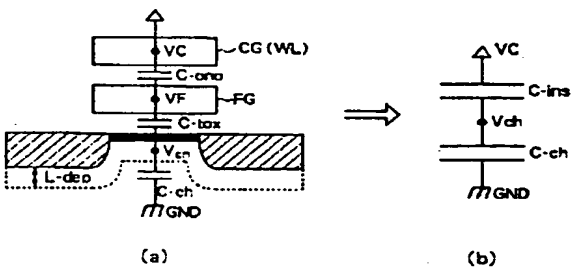
【図4】



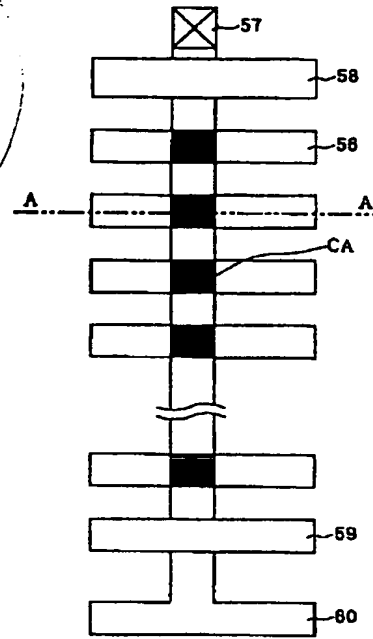
【図5】



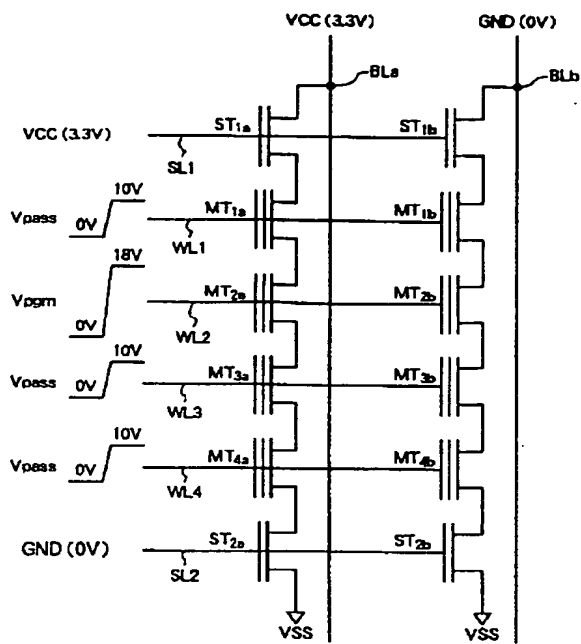
【図7】



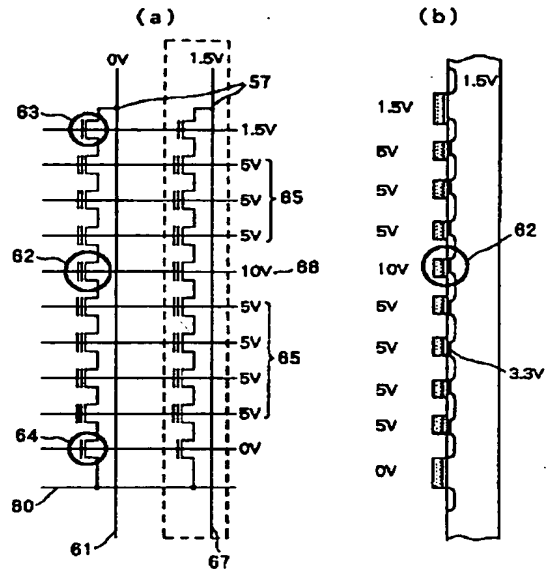
【図10】



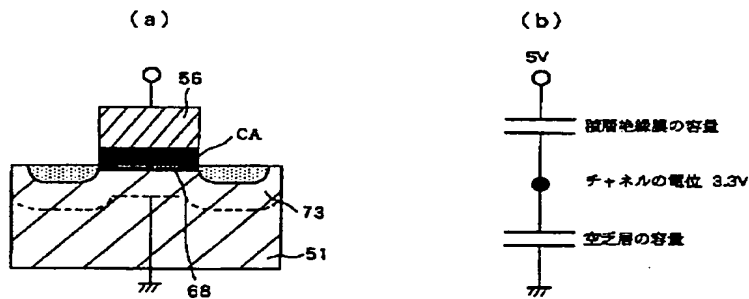
【図6】



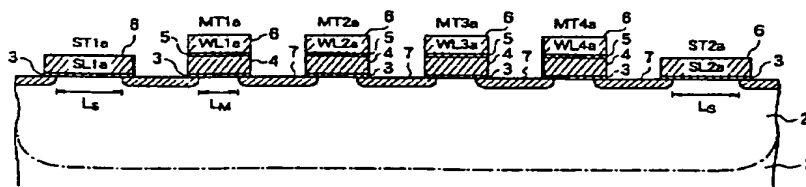
【図11】



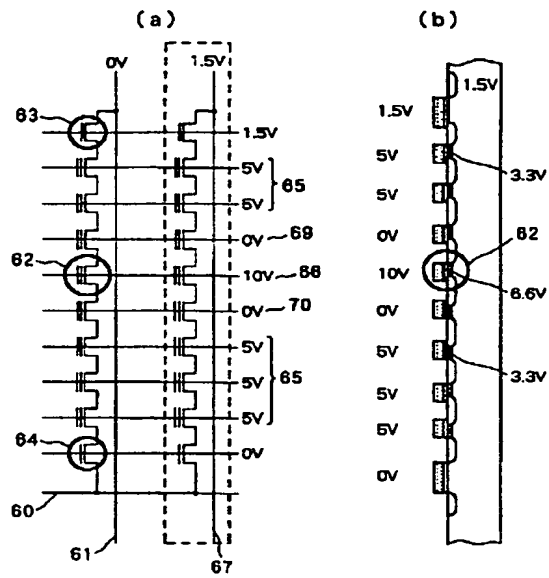
【図12】



【図15】



【図13】



【図14】

